

SEMICONDUCTOR INTEGRATED CIRCUIT

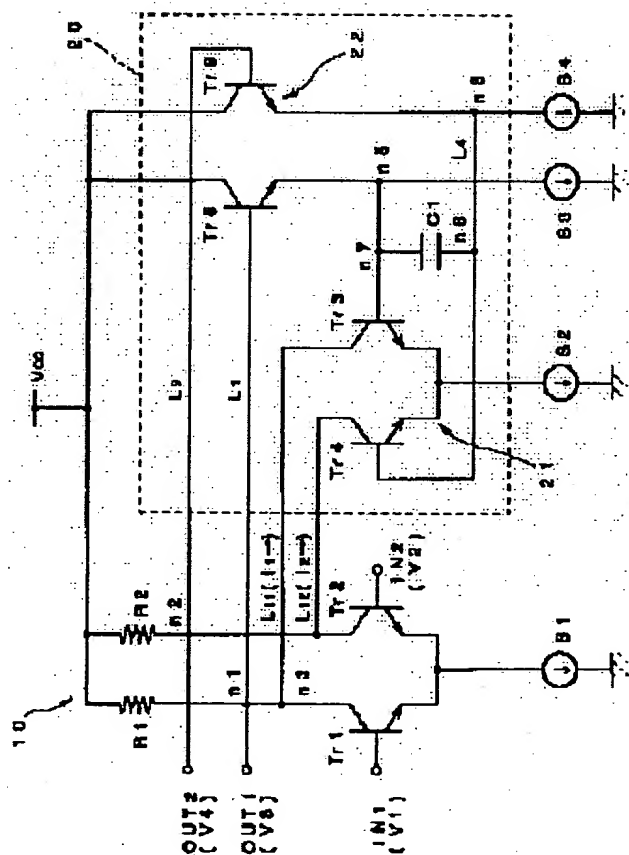
Patent number: JP7131260
Publication date: 1995-05-19
Inventor: ISHIKAWA KOKI; others: 01
Applicant: HITACHI LTD; others: 01
Classification:
 - international: H03F3/34; H03F3/45
 - european:
Application number: JP19930276535 19931105
Priority number(s):

Report a data error here

Abstract of JP7131260

PURPOSE: To add an adjusting function, which automatically corrects an offset voltage in the case of the generation of the offset voltage between differential output terminals, to a differential amplifying circuit.

CONSTITUTION: A current adjusting circuit 20 of the differential amplifying circuit 10 consists of differential transistors (TR) 3 and 4 and a constant current source S2 which is connected to their common emitter. The adjusting circuit 20 consists of a current extracting circuit 21 which extracts currents I1 and I2 from nodes n1 and n2 and adjusts the collector currents of the TRs 1 and 2 and an offset detecting and adjusting circuit 22 consisting of a couple of emitter followers which receive the differential outputs and detect the offset voltage, and output the signal to the current extracting circuit 21. If the offset voltage DELTAV is generated between the output terminals OUT1 and OUT2, the difference $\gg I1 - I2 \gg$ between the current quantities is adjusted according to the DELTAV value and the potential difference (offset voltage) between the collectors of the TRs 1 and 2 is corrected by the current voltage drop.



Data supplied from the *esp@cenet* database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131260

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁵H 0 3 F 3/34
3/45

識別記号

庁内整理番号

B 8124-5 J
Z

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平5-276535

(22) 出願日 平成5年(1993)11月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000100997

アキタ電子株式会社

秋田県南秋田郡天王町天王字長沼64

(72) 発明者 石川 弘毅

秋田県南秋田郡天王町天王字長沼64 アキ
タ電子株式会社内

(72) 発明者 長屋 裕士

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

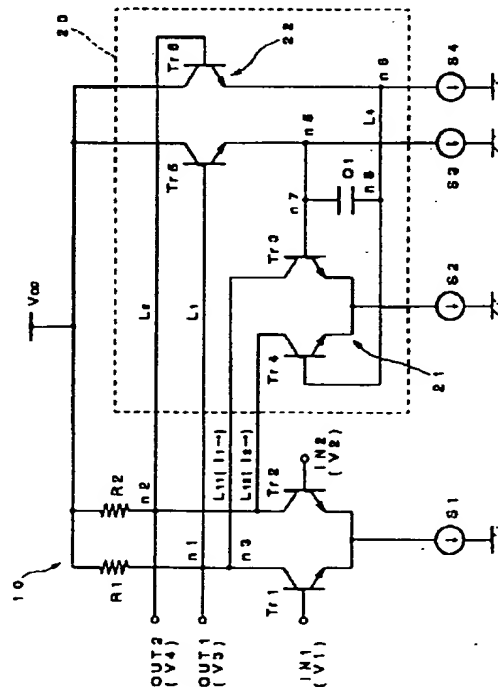
(74) 代理人 弁理士 大日方 富雄

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 差動増幅回路に、差動出力端子間に、オフセット電圧が生じた場合に具え、当該オフセット電圧の補正を自動的に行う調整機能を付加する。

【構成】 差動増幅回路10の電流調整回路20は、差動トランジスタTr3、Tr4と、その共通エミッタに接続された定電流源S2からなる。調整回路20は、ノードn1、n2から電流I₁、I₂を引き抜いてトランジスタTr1、Tr2のコレクタ電流を調整する電流引き抜き回路21と、当該差動出力を受けてオフセット電圧を検出して、当該信号を、電流引き抜き回路21に出力する一対のエミッタホロワからなるオフセット検出調整回路22とで構成される。出力端子OUT1、2間にオフセット電圧ΔVが発生すると、上記電流量の差分|I₁-I₂|が、上記ΔV値に応じて調整され、このときの電圧降下により、Tr1、Tr2のコレクタ間の電位差(オフセット電圧)が修正される。



【特許請求の範囲】

【請求項1】 コレクタが抵抗を介して定電圧電源に接続され、エミッタが定電流源に共通接続された第1、及び第2のバイポーラトランジスタによってその入力段が構成されると共に、各々のベースに信号が入力され、各々のコレクタ間の電位差が出力とされる差動増幅回路において、

上記定電圧電源と各々のコレクタとの間に、差動増幅回路のオフセット電圧に応じて当該コレクタ電流を調整する電流調整回路が接続されてなることを特徴とする半導体集積回路。

【請求項2】 上記電流調整回路は、

エミッタが第2の定電流源に共通接続され、コレクタが上記第1、第2のトランジスタの各々のコレクタに接続され、ベースに上記信号の直流成分の大きさに応じた信号が入力される第3及び第4のバイポーラトランジスタを具えてなることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 上記電流調整回路は、

上記第1、第2のトランジスタのコレクタに接続された一対のエミッタホロワ回路を具え、
上記第3、第4のトランジスタの各々のベースには、上記エミッタホロワ回路の出力ノードが夫々接続されると共に、当該ベース端子間にはコンデンサが接続されていることを特徴とする請求項2に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路、更には差動増幅回路を具えた集積回路に適用して特に有効な技術に関し、例えば、小信号を増幅する差動増幅回路を具えた集積回路に利用して有用な技術に関する。

【0002】

【従来の技術】 半導体デバイスを用いた基本回路の1つに、小信号を精度良く増幅する差動増幅回路（差動アンプ）がある。この差動増幅回路は、1対のバイポーラトランジスタのエミッタが、1つの定電流源に共通接続され、夫々のコレクタが、各々の抵抗を介して、定電圧電源に共通接続され、夫々のベースが差動入力端子を構成し、上記2つのコレクタ間の電位差が、差動出力として一対のエミッタホロワを介して出力されるようになっている。このように構成された差動増幅回路にあっては、上記2つの差動トランジスタ、及びこれに接続された2つのコレクタ抵抗の値は、夫々、チップ上に点対称、又は鏡対称となるように設計パターンが構成されて、個々の特性のバラツキが小さくなるようにされ、2つの差動トランジスタのコレクタ間に生じる直流成分差（オフセット電圧）をなくすように設計されている。因に、オフセット電圧の要因としては、各トランジスタのベース-エミッタ間電圧、及び直流電流増幅率、負荷抵抗値の差等があげられる。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかにされた。即ち、上記のように2つのトランジスタ若しくは抵抗値の間で、特性バラツキが生じないようにレイアウト設計を行っても、実際には僅かなバラツキが生じ、オフセット電圧が発生することが分かった。この傾向は、特に微小信号の増幅に使用される差動増幅回路に関して顕著であり、当該差動増幅回路によって所望のレベルの信号の増幅作用が得られないと云う不具合が生じる。

【0004】 本発明は、かかる事情に鑑みてなされたもので、差動増幅回路の差動出力端子を構成するコレクタ間に、オフセット電圧が生じた場合であっても、当該オフセット電圧の補正を自動的に行うことができる調整機能を具えた差動増幅回路を提供することをその主たる目的とする。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。即ち、本発明は、コレクタが夫々の抵抗を介して定電圧電源に接続され、エミッタが定電流源に共通接続された第1、及び第2のバイポーラトランジスタによって構成される差動増幅回路において、上記定電圧電源と、差動出力端子たるコレクタとの間に、当該差動増幅回路のオフセット電圧に応じて当該コレクタ電流を調整する電流調整回路を接続したものである。

【0006】

【作用】 差動増幅回路のコレクタ間にオフセット電圧が生じている場合、当該電圧値に応じて、上記電流調整回路が、当該コレクタ電流を調整して、上記コレクタ間のオフセット電圧をゼロになるように動作する。

【0007】

【実施例】 以下、本発明の一実施例を添付図面を参照して説明する。図1は、本実施例の差動増幅回路10の入力段を示す回路図である。この実施例の差動増幅回路10は、2つのバイポーラトランジスタTr1、Tr2、抵抗R1、R2及び定電流源S1によってその入力段が構成されている。そして、トランジスタTr1のコレクタと抵抗R1の接続ノードn1に出力端子OUT1が接続され、トランジスタTr2のコレクタと抵抗R2の中間ノードn2に出力端子OUT2が接続されている。これら2つの端子OUT1、OUT2の電位差が差動出力となる。又、2つのトランジスタTr1、Tr2のエミッタは定電流源S1に共通接続され、コレクタは抵抗R1、R2を介して定電圧電源Vccに共通接続されている。

【0008】 この電流調整回路20は、上記2つの出力

端子OUT1, 2に現れる電圧信号V3, V4の直流成分のオフセット電圧を調整する電流調整回路20が接続されている。この電流調整回路20は、各コレクタがノードn1, n2に接続され、且つ互いにエミッタが共通接続された一対の差動トランジスタTr3, Tr4とその共通エミッタに接続された定電流源S2からなり、上記ノードn1, n2から電流 I_1 , I_2 を引き抜いてトランジスタTr1, Tr2のコレクタ電流を調整する電流引抜き回路21と、上記入力段の差動出力を受けてオフセット電圧の大きさを検出し、これに応じた信号を、電流引抜き回路21に出力する一対のエミッタホロワからなるオフセット検出調整回路22とによって構成されている。

【0009】この差動増幅回路10は、差動出力端子に現れる信号の直流成分にオフセットが生じていた場合に、以下のように、動作する。いま仮に、入力端子IN1, IN2に信号が入力されていない状態で、差動出力端子OUT1と出力端子OUT2との電位差、即ちオフセット電圧（直流成分）が ΔV であるとする。

【0010】このように差動増幅回路10の入力端子IN1, IN2に信号が入力されていないときには、オフセット電圧 ΔV はトランジスタTr5, Tr6のベース電位の差となり、一対のエミッタホロワの出力ノードn5, n6間の電位差が当該オフセット電圧 ΔV に応じた値となる。

【0011】このとき上記ノードn5, n6間の電位差には交流成分（信号成分）がないため、この電位差は、そのまま電流引抜き用差動トランジスタTr3, Tr4のベースにかかる。しかして、2つのトランジスタTr3, Tr4を流れるコレクタ電流、即ち、ノードn3, n4から引き抜かれる夫々の電流値 I_1 , I_2 の差は、上記オフセット電圧 ΔV に応じたものとなり、当該ノードn1, n2間（n3, n4間）に生じていたオフセット電圧 ΔV が、これら電流 I_1 , I_2 による電圧降下によって修正されることとなる。

【0012】差動増幅回路10の入力端子IN1, IN2に入力があると、これら入力信号のレベルに応じた電位が、ノードn1, n2に現れる。このノードn1, n2の電位差（V3-V4）は、出力信号の信号成分（交流成分）と、上記オフセット電圧（直流成分）とが重畳されたものである。

【0013】このとき電流調整回路20は以下のように動作する。即ち、上記2つの成分が重畳された、夫々の電位V3, V4は、トランジスタTr5, Tr6のベースに印加される。この結果、2つのトランジスタTr5, Tr6においては、直流成分（オフセット電圧）と交流成分（信号成分）とが重畳された電位V3, V4の夫々の値に見合った電流が、これら2つのトランジスタのエミッタを夫々流れる。このときのエミッタの電位は、配線L3, L4を夫々介して、トランジスタTr

3, Tr4のベースに送られる。ところで配線L1の中間ノードn7と、配線L2の中間ノードn8との間には、コンデンサC1が接続されているため、この配線L3, L4を流れる電圧信号の交流成分は除去され、直流成分（オフセット電圧 ΔV ）に応じた電位差のみが、これら2つのトランジスタTr3, Tr4のベース間に発生する。

【0014】このようにトランジスタTr3, Tr4のベースに、オフセット電圧 ΔV に応じた電位差がかかる。と、定電流源S3に共通接続され2つのトランジスタTr3, Tr4は、そのコレクタ電流 I_1 , I_2 の差が、上記オフセット電圧 ΔV に応じたものとなる。この結果、電流 I_1 , I_2 により生じる電圧降下によって、トランジスタTr1, Tr2のコレクタの電位V3, V4は、そのオフセット電圧 ΔV がなくなるように修正される。

【0015】尚、ノードn1, n2に現れるオフセット電圧を、一旦、エミッタホロワのトランジスタTr5, Tr6に加えるのは、当該エミッタホロワによってレベルシフトを行なってから、その電位を電流引抜き回路22のトランジスタのベースに加えるためである。

【0016】以上説明したように、上記した差動増幅回路10では、2つの出力端子OUT1, 2の電位間にオフセット電圧 ΔV が発生したときに、当該コレクタに接続された配線L11, L12を介して流れる電流量の差分 $|I_1 - I_2|$ が、上記オフセット電圧 ΔV に応じて調整され、この電流によって生じる電圧降下により、2つのトランジスタTr1, Tr2のコレクタ間の電位差（オフセット電圧）が修正されることとなる。

【0017】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、2つのトランジスタTr1, Tr2によって差動増幅回路の入力段が構成されている例を示したが、例えば4つのトランジスタで入力段が構成された差動増幅回路等にも適用することができる。

【0018】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である差動増幅回路の入力段に適用した場合について説明したが、この発明はそれに限定されるものでなく、オフセット電圧が問題となる集積回路一般に利用することができる。

【0019】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。即ち、差動増幅回路の差動出力端子を構成するコレクタ間に、オフセット電圧が生じた場合であっても、当該オフセット電圧の補正を自動的に行うことができるようになる。しかして、微小入力に対しても精度の高い増幅作用が達成できる。

【図面の簡単な説明】

6

22 オフセット検出回路

OUT 1, 2 差動出力端子

C1 コンデンサ

i